

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## **IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
Please do not report the images to the  
Image Problem Mailbox.



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000010761 A**(43) Date of publication of application: **14 . 01 . 00**

(51) Int. Cl.

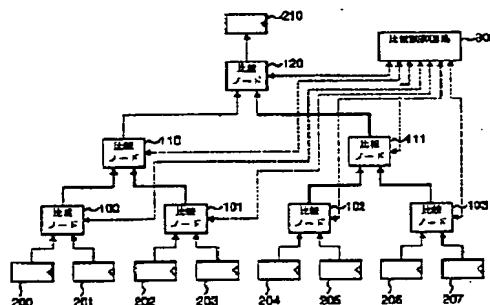
**G06F 7/24**(21) Application number: **10173355**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(22) Date of filing: **19 . 06 . 98**(72) Inventor: **AZUMA SHINSUKE**(54) **MERGE/SORT PROCESSOR**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a merge/sort processor capable of quick merge/sort processing.

**SOLUTION:** A tournament comparison circuit consisting of comparison nodes 100 to 120 and a comparison control circuit 300 which supplies effective flag information of input data in comparison nodes 100 to 120, which are determined based on comparison results of comparison nodes 100 to 120, to the corresponding comparison nodes 100 to 120 are provided, and the comparison control circuit 300 is provided with a comparison result register where comparison results are held, an effective flag information register where effective flag information are held, and a merge member register where information indicating whether data set to input registers 200 to 207 corresponding to respective ways should be taken as the processing object in the next data comparison processing or not is held, and the degradation of performance due to read contention of record strings from a memory or initialization of a tournament tree is prevented.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-10761  
(P2000-10761A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl.<sup>7</sup>

G 0 6 F 7/24

識別記号

F I

G 0 6 F 7/24

マークシート (参考)

M

審査請求 有 請求項の数 6 O L (全 12 頁)

(21) 出願番号

特願平10-173355

(22) 出願日

平成10年6月19日 (1998. 6. 19)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 東 辰輔

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100075258

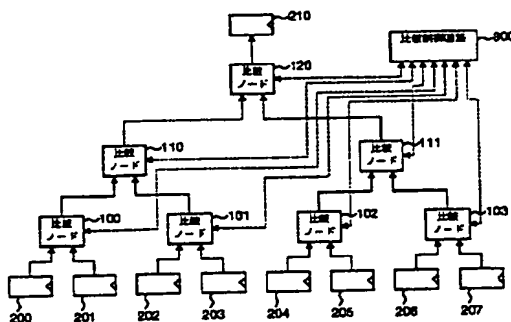
弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 マージソート処理装置

(57) 【要約】

【課題】 高速なマージソート処理を可能とするマージソート処理装置を提供する。

【解決手段】 比較ノード100～120により構成されるトーナメント比較回路と、比較ノード100～120の比較結果に基づき決定した各比較ノード100～120における入力データの有効フラグ情報を対応する比較ノード100～120へ供給する比較制御回路300とを有し、比較制御回路300は、上記比較結果を保持する比較結果レジスタ、上記有効フラグ情報を保持する有効フラグ情報レジスタ及び各ウェイに対応させた入力レジスタ200～207に設定されたデータが次のデータ比較処理において処理対象とするか否かを表す情報を保持するマージメンバーレジスタを有しており、メモリからのレコード列の読出しの競合やトーナメントツリーの初期化による性能低下を防止する。



## 【特許請求の範囲】

【請求項1】 複数の入力レジスタに逐次セットされる各データを比較することによってデータを昇順あるいは降順に並び替えるマージソート処理装置において、

2つの入力データの比較結果及び送られてくる入力データの有効フラグ情報に基づきいずれか一方の入力データを出力する複数の比較ノードをトーナメントツリー状に接続することで前記各入力レジスタから始まるウェイを複数形成するトーナメント比較回路と、

送られてくる前記比較ノードの比較結果に基づき決定した前記各比較ノードにおける入力データの有効性を示す有効フラグ情報を対応する前記比較ノードへ供給する比較制御回路と、

を有し、

前記比較ノードは、前記比較制御回路から送られてくる有効フラグ情報が双方の入力データとも有効とされている場合には入力データの大小関係により出力する入力データを決定し、有効フラグ情報が一方の入力データのみ有効とされている場合には当該入力データを出力することを特徴とするマージソート処理装置。

【請求項2】 前記比較ノードは、2つの入力データの大小関係を比較する比較器と、

前記比較器による比較結果及び前記比較制御回路から送られてくる有効フラグ情報に基づきいずれか一方の入力データを出力するセクタと、

を有することを特徴とする請求項1記載のマージソート処理装置。

【請求項3】 前記比較制御回路は、前記各比較ノードから送られてくる比較結果を保持する比較結果保持手段を有し、

前記各比較ノードから比較結果が送られてくる度にその比較結果を前記比較結果保持手段に保持し、前記トーナメント比較回路においてあるウェイが勝ち抜けた時にそのウェイの経路上に位置する前記比較ノードの前記比較結果保持手段に保持しておいた比較結果を初期化することを特徴とする請求項1記載のマージソート処理装置。

【請求項4】 前記比較制御回路は、前記トーナメント比較回路において最下位層に位置するもの以外の前記比較ノードの有効フラグ情報を保持する有効フラグ情報保持手段を有し、

対応する前記比較ノードの下位に接続されている前記比較ノードに対応する前記有効フラグ情報保持手段のうち少なくとも一方がセットされている時に有効と、対応する前記比較ノードの他方の入力データが勝った時あるいは対応する前記比較ノードの上位の前記比較ノードにおいて他方の入力データが勝った時に無効と、前記有効フラグ情報保持手段に設定することを特徴とする請求項1記載のマージソート処理装置。

【請求項5】 前記比較制御回路は、各ウェイに対応させた入力レジスタに設定されたデータが次のデータ比較

処理において処理対象とするか否かを表す情報を保持する処理対象ウェイ保持手段を有し、

直前のデータ比較処理において勝ち抜けたデータが通ったウェイあるいは経路上に位置する前記比較ノードのうちただ一つの前記比較ノードのみで負けたウェイに対応した入力レジスタに設定されたデータを次のデータ比較処理において有効と、経路上に位置する前記比較ノードにおいて負けが決定した時点で当該ウェイに対応した入力レジスタに設定されたデータを次のデータ比較処理において無効と、前記処理対象ウェイ保持手段に設定することを特徴とする請求項1記載のマージソート処理装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データベース処理におけるマージソート、すなわち大小比較によるデータの並び替え処理のハードウェアでの実現方式に関するものである。

【0002】

【従来の技術】一般に、データベースの要素であるレコードは、複数のフィールドから構成される。あるフィールドをキーとして、レコードを昇順あるいは降順に並び替える処理をソートという。また、ソート済みのレコード列が複数ある場合に、それらをひとつのソートされたレコード列に再編成する処理をマージという。

【0003】ソートあるいはマージをソフトウェアで行なう場合、プロセッサとメモリ、ディスクなどの補助記憶装置との間で大量のデータが行き交い、処理に時間を要する。それに対し、ソートを高速に処理するハードウェアとしてパイプラインマージソータなどが存在する。

【0004】図10は、例えば「VLSIソートプロセッサ」(情報処理、Vol. 31, No. 4, 1990年)に記載されているパイプラインマージソータの構成図である。図10には、1次元接続されるソートプロセッサ1000, 1001, 1002, 1003と、各ソートプロセッサ1000~1003に接続されるメモリ1010, 1011, 1012, 1013が示されている。

【0005】パイプラインマージソータでは、 $n$ 段目のソートプロセッサが $n-1$ 段目のソートプロセッサからそれぞれ $2n-1$ レコードからなる2組のソート済みレコード列を入力し、マージして $2n$ レコードからなる1組のソート済みレコード列を出力する。各ソートプロセッサに接続されるメモリには、入力される2組のレコード列のうち第1のレコード列が格納される。パイプラインマージソータを用いたソートのプロセスを図11に示す。

【0006】図11は2ウェイマージソートされるレコード列の遷移の例を示した図であるが、一般に $K$ ウェイマージソートは、 $n$ 段目のソートプロセッサが $n-1$ 段

目のソートプロセッサからそれぞれ $Kn-1$ レコードからなる $K$ 組のソート済みレコード列を入力し、マージして $Kn$ レコードからなる1組のソート済みレコード列を出力する。

【0007】図12は、トーナメントツリー方式による8ウェイマージソートのソートプロセッサの構成を示した図である。図12には、比較ノード1100~1120と、本トーナメント回路に投入するデータを保持する8個のレジスタ1200~1207と、比較の勝者を保持するレジスタ1210とが示されている。トーナメントの1回戦に相当する比較ノード1100には、レジスタ1200および1201のデータが入力され、出力は2回戦の比較ノード1110の一方の入力となる。1110の他方の入力には別の1回戦の比較ノード1101の出力が接続され、1110の出力は3回戦すなわち決勝戦の比較ノード1120の一方の入力となる。1120の出力はレジスタ1210の入力となる。

【0008】図13は、図12に示した各比較ノードを詳細に示した構成図である。データXおよびYは、ともに比較器1500とセクタ1510の入力となる。比較器1500における比較結果にもとづいてセクタ1510において選択が行われデータZが出力される。

【0009】図12および図13の構成による動作について説明する。入力レジスタ1200~1207には、図4に示すようなソート済みのレコード列が1ワードずつ入力される。レコード列の各レコードはキーとレコード本体から構成される。最初はレコード列0~7の各先頭レコードのキーの第1ワードがレジスタ1200~1207に設定され、その後必要に応じてそれぞれ順次後続のワードがレジスタに設定される。

【0010】しかしながら、従来の8ウェイマージソートにおいては、定常的に8本のレコード列を入力レジスタ1200~1207に供給する必要がある。一般にレコード列は、共通のメモリに格納され共通のデータバスを介して読み出されるため、この場合は定常的に8本のレコード列の読み出しが競合し、マージソート処理の性能を低下させる要因となる。

【0011】そこで、このような性能低下を防止するために、特開平4-247571号公報では、交換選択法を改良し、例えば定常的に5レコードを比較することにより16ウェイマージソートを実現するデータ処理装置が開示されている。これは、8ウェイマージソートを4レコードの比較で実現することに相当する。

【0012】

【発明が解決しようとする課題】しかしながら、この従来例においては、トーナメントツリーを初期化するプロセスが必要であり、その際に余計なクロックサイクルを要する。すなわち、例えば8ウェイマージソートの場合、パイプラインマージソータの1段目において8レコードごとに余計なクロックサイクルが挿入されることを

意味しており、これはパイプラインマージソータ全体の性能を低下させる要因となり得る。

【0013】このように、従来の $K$ ウェイマージソートにおいては、メモリからのレコード列の読み出しが競合し性能を低下させる、あるいはトーナメントツリーの初期化に余計なクロックサイクルを要し性能を低下させるという問題があった。

【0014】本発明は以上のような問題を解決するためになされたものであり、その目的は、高速なマージソート処理を可能とするマージソート処理装置を提供することにある。

【0015】

【課題を解決するための手段】以上のような目的を達成するために、第1の発明に係るマージソート処理装置は、複数の入力レジスタに逐次セットされる各データを比較することによってデータを昇順あるいは降順に並び替えるマージソート処理装置において、2つの入力データの比較結果及び送られてくる入力データの有効フラグ情報に基づきいずれか一方の入力データを出力する複数の比較ノードをトーナメントツリー状に接続することで前記各入力レジスタから始まるウェイを複数形成するトーナメント比較回路と、送られてくる前記比較ノードの比較結果に基づき決定した前記各比較ノードにおける入力データの有効性を示す有効フラグ情報を対応する前記比較ノードへ供給する比較制御回路とを有し、前記比較ノードは、前記比較制御回路から送られてくる有効フラグ情報が双方の入力データとも有効とされている場合には入力データの大小関係により出力する入力データを決定し、有効フラグ情報が一方の入力データのみ有効とされている場合には当該入力データを出力するものである。

【0016】また、第1の発明において、前記比較ノードは、2つの入力データの大小関係を比較する比較器と、前記比較器による比較結果及び前記比較制御回路から送られてくる有効フラグ情報に基づきいずれか一方の入力データを出力するセクタとを有するものである。

【0017】また、第1の発明において、前記比較制御回路は、前記各比較ノードから送られてくる比較結果を保持する比較結果保持手段を有し、前記各比較ノードから比較結果が送られてくる度にその比較結果を前記比較結果保持手段に保持し、前記トーナメント比較回路においてあるウェイが勝ち抜けた時にそのウェイの経路上に位置する前記比較ノードの前記比較結果保持手段に保持しておいた比較結果を初期化するものである。

【0018】また、第1の発明において、前記比較制御回路は、前記トーナメント比較回路において最下位層に位置するもの以外の前記比較ノードの有効フラグ情報を保持する有効フラグ情報保持手段を有し、対応する前記比較ノードの下位に接続されている前記比較ノードに対応する前記有効フラグ情報保持手段のうち少なくとも一

10

20

30

40

50

方がセットされている時に有効と、対応する前記比較ノードの他方の入力データが勝った時あるいは対応する前記比較ノードの上位の前記比較ノードにおいて他方の入力データが勝った時に無効と、前記有効フラグ情報保持手段に設定するものである。

【0019】更に、第1の発明において、前記比較制御回路は、各ウェイに対応させた入力レジスタに設定されたデータが次のデータ比較処理において処理対象とするか否かを表す情報を保持する処理対象ウェイ保持手段を有し、直前のデータ比較処理において勝ち抜けたデータが通ったウェイあるいは経路上に位置する前記比較ノードのうちただ一つの前記比較ノードのみで負けたウェイに対応した入力レジスタに設定されたデータを次のデータ比較処理において有効と、経路上に位置する前記比較ノードにおいて負けが決定した時点で当該ウェイに対応した入力レジスタに設定されたデータを次のデータ比較処理において無効と、前記処理対象ウェイ保持手段に設定するものである。

【0020】

【発明の実施の形態】以下、図面に基づいて、本発明の好適な実施の形態について説明する。

【0021】図1は、本発明に係るマージソート処理装置の一実施の形態を示した構成図であり、8ウェイマージソートを例に示すものである。ここでは、各レコードを昇順に並べる場合を例にして説明する。図1には、比較ノード100～103、110～111、120、入力レジスタ200～207、出力レジスタ210及び比較制御回路300が示されている。比較ノード100～120は、2つの入力データの比較結果及び比較制御回路300から送られてくる入力データの有効フラグ情報に基づきいずれか一方の入力データを出力する。これらの比較ノード100～120をトーナメントツリー状に接続することで入力レジスタ200～207から始まるウェイを有するトーナメント比較回路を形成する。入力レジスタ200～207は、このトーナメント比較回路に投入するデータを保持する。出力レジスタ210は、1回のデータ比較処理における勝者を保持する。図1に示したトーナメント比較回路によると、トーナメントの1回戦に相当する比較ノード100には、レジスタ200および201のデータが入力され、その出力は2回戦の比較ノード110の一方の入力となる。比較ノード110の他方の入力には、別の1回戦の比較ノード101の出力が接続される。比較ノード110の出力は、3回戦すなわち決勝戦の比較ノード120の一方の入力となる。比較ノード120の他方の入力には、別の2回戦の比較ノード111の出力が接続され、比較ノード111の各入力には、それぞれ1回戦に相当する比較ノード102、103の出力が接続される。そして、比較ノード120の出力は、出力レジスタ210の入力となる。比較制御回路300は、各比較ノード100～120と制

御情報のやり取りを行う。すなわち、送られてくる比較ノード100～120の比較結果に基づき決定した各比較ノード100～120における入力データの有効性を示す有効フラグ情報を対応する比較ノード100～120へ供給する。

【0022】図2は、本実施の形態における比較ノードの内部構成を示した図である。図1に示した各比較ノードの基本構成は、この図2に示した比較ノードと同じである。比較器500は、2つの入力データX、Yの大小関係を比較し、その比較結果を信号Rとして出力する。セクタ510は、比較器500からの信号R、更に比較制御回路300からの有効フラグ情報である信号Vに基づいて選択が行われ、入力データX、Yのいずれか一方をデータZとして出力する。本実施の形態においては、比較ノードをレジスタではなくセクタ510を用いて実現したので、トーナメント比較回路において1サイクルで勝者を決定することができる。

【0023】図3は、比較ノード500の動作を真理値表で表した図である。信号Rは2ビットからなり、それぞれデータXの勝ち“10”、データYの勝ち“01”、引き分け“00”を示す。比較制御回路300から送られてくる信号Vも2ビットからなり、各ビットはそれぞれ入力されたデータX、Yが有効か否かを示す。データX、Yがともに有効な場合“11”は、信号Rが示す勝った方をZ出力とし、引き分けの場合はいずれを出力してもよい。データX、Yのうち一方のみが有効な場合は有効な方をZ出力とする。データX、Yがともに有効でない場合はいずれを出力してもよい。

【0024】図4は、本実施の形態において比較されるマージソートされるレコード構成の例を示した図である。各レコード列0～7は、ソート済みのレコードにより構成されており、各レコードは、キーとレコード本体から構成される。各入力レジスタ200～207には、対応するそれぞれソート済みのレコード列0～7が先頭から1ワードずつ入力される。つまり、入力レジスタ200～207には、最初はレコード列0～7の各先頭レコードのキーの第1ワードが設定され、その後必要に応じてそれぞれ後続の1ワードのデータが順次設定される。例えば、1レコードが1ワードのキーと3ワードの本体の計4ワードで構成されている場合、最初にキーが、続いてレコード本体の1ワード目、2ワード目、3ワード目と順次設定されることになる。この例の場合の1回の比較処理において対象となるデータというのは、入力レジスタ200～207の大きさでありトーナメント比較回路のバスの幅すなわち1ワード長である。なお、本実施の形態においてデータというときは、レコードそのものではなくレコードを構成する1ワード長のデータのことをいい、1サイクルの比較処理において比較されるデータのことをいう。この1サイクルにおける比較処理をデータ比較処理ということにする。また、この例の場合、

4サイクルかけて4ワード分のデータ比較処理が行われて初めてレコードの比較処理が行われたことになる。この4ワード分のデータ比較処理を含む比較処理をレコード比較処理ということにする。レコードが1ワード長のときにレコードとデータは同義となる。

【0025】図5は、本実施の形態における比較制御回路300が保持するレジスタ群の構成を示した図である。比較制御回路300は、マージメンバーレジスタ600～607と、比較結果レジスタ700～720と、有効フラグレジスタ800～820とを有している。比較結果レジスタ700～720は、各比較ノード100～120から送られてくる比較結果を保持する比較結果保持手段として設けられており、保持される値は、それぞれ比較ノード100～120の信号Rによって決定される。マージメンバーレジスタ600～607は、各ウェイに対応させた入力レジスタ200～207に設定されたデータが次のデータ比較処理において処理対象とするか否かを表す情報を保持する処理対象ウェイ保持手段である。有効フラグレジスタ800～820のうちトーナメント比較回路において最下位層に位置するもの以外の比較ノード110, 111, 120に対応して設けられた有効フラグレジスタ810, 811, 820は、各比較ノード110, 111, 120の有効フラグ情報を保持する有効フラグ情報保持手段である。マージメンバーレジスタ600～607及び有効フラグレジスタ810, 811, 820は、それぞれ比較ノード100～120に供給される信号Vの値となる。なお、有効フラグ情報を保持するという点では、マージメンバーレジスタ600～607も有効フラグレジスタ810, 811, 820と同様なので、図では有効フラグレジスタ800～803として表す。換言すると、有効フラグレジスタ800～803は、実体としてはマージメンバーレジスタ600～607と同一のものである。

【0026】次に、比較制御回路300が有する各レジスタへのセット、クリアを行う基本動作等をより詳細に説明する。

【0027】比較結果レジスタ700～720は、それぞれ2ビットで構成されており、各ビットは、対応する比較ノード100～120の入力に対応されている。例えば、比較結果レジスタ700は比較ノード100に対応しており、比較ノード100からの信号RによってデータXの勝ちあるいはデータYの勝ちが伝えられた時点でその情報を保持する。比較対象となるレコードが最後まで勝敗が決定しない場合（上記例では最後の4ワード目のデータまで比較しても大小がつかなかった場合）は、データXが勝ったものと見なして比較結果レジスタ700にその旨を設定する。本実施の形態では“1”が勝ちを示すことにしている。比較結果レジスタ701～720についても同様である。例えば、1回のレコード比較処理においてレコード列2が勝ち抜ける場合には、

比較結果レジスタは図6に示すような値となる。そして、次のレコードの比較処理を開始するとき直前のレコード比較処理において、例えばレコード列0のレコードが勝ち抜けた時およびレコード列1のレコードが勝ち抜けた時には比較結果レジスタ700, 710, 720の対応する側がクリアされ、レコード列2のレコードが勝ち抜けた時およびレコード列3のレコードが勝ち抜けた時には比較結果レジスタ701, 710, 720の対応する側がクリアされ、レコード列4のレコードが勝ち抜けた時およびレコード列5のレコードが勝ち抜けた時には比較結果レジスタ702, 711, 720の対応する側がクリアされ、レコード列6のレコードが勝ち抜けた時およびレコード列7のレコードが勝ち抜けた時には比較結果レジスタ703, 711, 720の対応する側がクリアされる。すなわち、レコード比較処理終了直後の状態を示した図6の後、次のレコード比較処理開始時点に比較結果レジスタ701, 710, 720がクリアされ、比較結果レジスタは図7に示すような値となる。

【0028】マージメンバーレジスタ600～607は、それぞれレコード列0～7に対応しており、対応するレコード列の直前のレコードが勝ち抜けた場合、あるいは経路上に位置する比較ノードのうちただ一つの比較ノードのみで負けた場合、具体的にいうと対応する1回戦から3回戦までの3つの比較ノードのうち2つの比較ノードで勝った場合に次のレコード比較処理の開始前までにセットされる。図6に示した例に基づく、図7に示す通りマージメンバーレジスタ600, 602, 603, 605がセットされる。そして、マージメンバーレジスタ600～607は、次のレコード比較処理において経路上に位置する比較ノードにおいて負けが決定した時点、具体的には1回戦での負けが決定した時点、あるいは1回戦での勝ちと2回戦での負けが決定した時点、あるいは1, 2回戦での勝ちと3回戦での負けが決定した時点でリセットされる。

【0029】有効フラグレジスタ800～820は、それぞれ2ビットで構成されており、各ビットは、対応する比較ノード100～120の入力に対応されている。有効フラグレジスタの値は、信号Vとして比較ノード100～120に伝えられる。最下位層に位置する有効フラグレジスタ800～803の各2ビットは、実体としてはマージメンバーレジスタ600～607と同一のものであることは前述したとおりである。有効フラグレジスタ800～820は、レコード比較処理が終了した時点において、例えば、有効フラグレジスタ810の左側のビットは、その下位に位置する有効フラグレジスタ800を構成する2ビットのうち少なくとも一方がセットされている時にセットされる。そして、次のレコード比較処理に含まれる各データ比較処理において、比較ノード110においてY入力の方が勝った場合、あるいは比較ノード110でX入力の方が勝ち比較ノード120でY入力の方が

勝った場合にリセットされる。有効フラグレジスタ810の他方のビット、および有効フラグレジスタ811の2ビットに関しても同様である。同様に、有効フラグレジスタ820の左側のビットは、レコード比較処理が終了した時点においてその下位に位置する有効フラグレジスタ810の2ビットのうち少なくとも一方がセットされている時にセットされ、次のレコード比較処理に含まれる各データ比較処理において比較ノード120においてY入力が勝った場合にリセットされる。レコード比較処理終了直後の状態を示した図6の直後の有効フラグレジスタ800~820は、図7に示すような値となる。

【0030】次に、本実施の形態におけるレコード比較処理の手順に沿って説明する。なお、ここでは、1レコードが4ワードで構成されている場合（キーを含む）を例にして説明する。

【0031】まず、マージソート処理装置の動作開始時において比較制御回路300の比較結果レジスタ700~720は“00”で、有効フラグレジスタ800~820はデータX、Yとも有効なデータであることを意味する“11”で、それぞれ初期化されている。

【0032】1サイクル目において、入力レジスタ200~207に図4に示すようなソート済みの各レコード列から先頭の1ワードのデータ（ここではキー）が入力されると、トーナメント比較回路は、そのデータに基づき大小関係を即座に判断し、最終的に選択したデータを出力レジスタ210にセットする。本実施の形態における比較ノード100~120は、セレクトを用いているのでこのサイクル内において即座に勝敗を決めることができる。なお、出力レジスタ210に入力されたデータは、そのまま出力され、図示しないバッファに退避され蓄積される。すなわち、出力するために特別なサイクルは必要としない。信号Vによると入力されるデータX、Yとも有効なので、各比較ノード100~120においては小さい方が選択されることになる。また、このとき、各比較ノード100~120からは信号Rが出力され、比較制御回路300の比較結果レジスタ700~720にその内容がセットされる。例えば、 $X < Y$ のためデータXが選択された比較ノードの対応する比較結果レジスタには“10”がセットされる。また、 $X = Y$ のときには選択されたデータの値に関係なく比較結果レジスタには“00”がセットされる。

【0033】ここで、1サイクル目すなわち1ワード目のデータ比較処理において、例えばレコード列5（入力レジスタ205）から入力されるデータYが他方のレコード列4（入力レジスタ204）から入力されるデータXより値が大きいため選択されなかった場合、この比較されるレコード列4、5のレコードに関していえば、2ワード目以降のデータの比較処理を行うまでもなくこの時点で勝敗はついたことになる。また、レコード列5に含まれているデータYは1回戦で負けが決定したこと

になる。そこで、本実施の形態によれば、このような場合、この例に基づく比較ノード102に対応する有効フラグレジスタ802を“10”とし、2ワード目から4ワード目までのデータ比較処理では“10”という信号Vを比較ノード102に出力してデータYが選択されないようにしている。信号Vを“10”とすることで2ワード目以降のデータX、Yの大小に関係なくデータXしか選択されないということは、図3（b）からも明らかである。 $X > Y$ の場合は、各レジスタにセットされるフラグ値が逆になるだけで同様に動作する。また、 $X = Y$ の場合は、2ワード目以降に勝敗の決定が持ち越されたことになるので、上記の通り比較結果レジスタには“00”がセットされ、一方、有効フラグレジスタでは、入力されるデータX、Yは共に有効であることを意味する初期値“11”がそのまま維持されることになる。

【0034】このように、各比較ノード100~120では、比較制御回路300から送られてくる設定済みの有効フラグ情報（信号V）の内容に基づき入力データの比較処理を行い、その結果いずれか一方のデータを選択して出力し、更にこのときの比較結果である信号Rを比較制御回路300に出力する。比較制御回路300では、各比較ノード100~120から送られてきた比較結果を比較結果レジスタ700~720に保持するとともにその比較結果に基づき有効フラグレジスタ800~820を更新することになる。この更新した有効フラグレジスタ800~820の内容すなわち有効フラグ情報に基づき各比較ノード100~120は、次のデータの比較処理を行うことになる。

【0035】基本的には、上記の処理を4サイクル分繰り返すことで1回のレコード比較処理が行われることになる。4サイクルかけずに勝ち抜けるレコードが決定する場合もあるが、この場合でも4サイクル分の処理を実行して入力レジスタにセットされる勝ち抜けたレコードの残りのデータを出力レジスタ210に出力しなければならない。これに該当する2ワード目以降のデータ比較処理は、入力レジスタ200~207から出力レジスタ210にデータを出力するだけの処理となる。1サイクル目で勝ち抜けるレコードが決定されなかった場合は、2サイクル目以降に勝敗の決定が持ち越されるが、本実施の形態においては、その勝敗がつかなかったレコード列のみのデータ比較処理を行い、最終ワードのデータ比較処理までに勝敗をつけることになる。つまり、2サイクル目、3サイクル目で勝敗がついたものに関しては、上記のように敗者側の有効フラグ情報をクリアして次回以降のデータ比較処理の処理対象から外すようにする。なお、同値のレコードが存在した場合は、予め決めておいた所定の規則に従いいずれかのレコードを勝者扱いとすればよい。

【0036】以上のようにして、4ワード目のデータま



での比較処理、つまり1回のレコード比較処理が終了するが、この時点において、例えばレコード列2が勝ち抜いた場合の比較制御回路300のレジスタの内容は図6のようになる。

【0037】各データ比較処理において勝ち抜けたデータは、バッファに退避されているので、データ比較処理に要したのと同じ4サイクルをかけて最終的に勝者となったレコードを外部に出力することになる。本実施の形態では、このサイクルの間に次のレコード比較処理のために比較制御回路300のレジスタ群の内容を次のように更新する。この比較制御回路300のレジスタ群の更新はレコードとレコードの境界で瞬時に行われる。なお、更新後すなわち次のレコード比較処理のための各レジスタの設定内容は、図7に示されている。

【0038】まず、比較結果レジスタ700~720においては、前述したように勝ち抜けたレコード列の経路上の比較ノードに対応する位置の設定内容をクリアすることになっているので、図6に示したように、前回のレコード比較処理においてレコード列2が勝ち抜けた場合には経路上の比較ノード101, 110, 120に対応する比較結果レジスタ701, 710, 720の対応する側すなわち左側、右側、左側がそれぞれクリアされる。その他は、そのまま維持される。また、マージメンバーレジスタ600~607は、前述したように直前のレコード比較処理において勝ち抜けたレコード列及び経路上に位置する比較ノードにおいて1回戦から3回戦までの3つの比較ノードのうち2つの比較ノードで勝った場合にセットされるので、1, 3回戦に勝ったレコード列0、勝ち抜けたレコード列2、2, 3回戦に勝ったレコード列3及び1, 2回戦に勝ったレコード列5に対応するマージメンバーレジスタ600, 602, 603, 605がセットされる。また、有効フラグレジスタ800~820のうち有効フラグレジスタ800~803は、実体としてはマージメンバーレジスタ600~607と同一のものでマージメンバーレジスタ600~607と同値となる。有効フラグレジスタ810~820は、下位に位置する有効フラグレジスタを構成する2ビットのうち少なくとも一方がセットされている時にセットされるので、図7においては、有効フラグレジスタ811の右側以外は、セットされる。

【0039】この状態において、次のレコード比較処理が行われ、その結果、レコード列5が勝ち抜けた場合を図8に示す。この後に更新された比較制御回路300の各レジスタの内容を図9に示す。

【0040】上記説明したように、本実施の形態においては、比較制御回路300に上記各レジスタを設け、これらの各レジスタを所定のタイミングでセットし、クリアすることで次のような効果を奏することになる。

【0041】本実施の形態で例示した8ウェイマージソート装置の場合、最初だけは全てのウェイそれぞれに対

応するレコード列の比較を行うが、次回からは、4本のレコード列のみの比較を行えばよい。図7ではレコード列0, 2, 3, 5、図9ではレコード列0, 4, 5, 6の4本のみであり、対応する入力レジスタにのみ後続のデータを供給すれば次の勝者を決定することができることを示している。逆に言えば、その他の4本のレコード列に関しては入力レジスタにデータを供給する必要がない。一般に、レコード列は共通のメモリに格納され共通のデータバスを介して読み出されるため、8ウェイマージソートの場合は定常的に8本のレコード列の読出しが競合し得るが、本実施の形態によれば定常的に4本のレコード列の読出しが競合し得るにとどまる。これは、次の理由による。

【0042】例えば、図6に示したようにレコード列2が勝ち抜けた場合、レコード列2のデータと直接比較され敗者となったレコードは、8つの入力レジスタから入力されるレコードのうち2番目に小さい値を持つかもしれない。従って、次のレコード比較処理において勝ち抜ける可能性があるため比較対象としておく必要がある。

また、勝ち抜けたレコードから次に取り出されるレコードも続けて勝ち抜ける可能性があるため、次のレコード比較処理においても比較対象とする必要がある。一方、レコード列2のデータと直接比較され敗者となったレコードと直接比較され敗者となったレコードは、当該レコード比較処理においてよくても3番目に小さい値であるため、次のレコード比較処理において勝ち抜く可能性はない。よって比較対象に加える必要がない。本実施の形態では、この次のレコード比較処理の処理対象とするかどうかをマージメンバーレジスタ600~607で保持するようにしているので、共通メモリからの無駄な読出しを防止することができる。

【0043】また、データ比較処理においていったん敗者となったレコード列が、当該レコード比較処理において同一レコードを構成する他のデータに基づくその後の比較処理において勝者とされないようにしている。この情報を有効フラグ情報として有効フラグレジスタ810~820に保持している。なお、本実施の形態では、1レコードを1ワードのキーと3ワードの本体の4ワードで構成した場合を例にしたが、それ以外のワード数でも特に1ワードであっても上述した動作を行うことでマージソートを確実かつ迅速に行うことができる。特に、本実施の形態によれば、レコードの比較の度に比較制御回路300における各レジスタの初期化が不要である。すなわち特別な初期化サイクルを必要としない。

【0044】一般的にKウェイマージソートにおいて、従来はK本のレコード列のメモリ読出しが競合していたものを、本実施の形態によれば、 $(\log 2 K + 1)$ 本の競合に抑えることができ、その結果メモリ読出しのボトルネックを軽減することができる。特に、各レコードの比較の度に特別な初期化サイクルを必要としない。な

お、本実施の形態に示した入力レジスタ200～207へのデータ供給源として各ウェイ個別にバッファを置くことによって入力レジスタへのデータ供給の競合を回避することも可能であるが、バッファへのデータ供給はやはり共通メモリからであり、図4に示すキーのサイズがバッファのサイズを上回る場合にはレコード列の読出しの競合を回避することは不可能であるため、本発明はこのような場合においても有効である。

【0045】なお、本実施の形態では、昇順に並べる場合を例にしたが、大小結果を逆に扱うことで降順の場合も同様にして構築することができるというまでもない。また、比較制御回路300において保持する各比較ノード100～120の比較結果や有効フラグ情報などは、全て1ビットで表すことのできる情報であるため、処理対象ウェイ保持手段、比較結果保持手段及び有効フラグ情報保持手段の各手段をレジスタで構成したが、これに限られたものではない。

【0046】

【発明の効果】本発明によれば、従来Kウェイマージソートにおいて発生していたメモリからのレコード列の読出しの競合やトーナメントツリーの初期化による性能低下を防止することができるので、高速なマージソートを実現することができる。

【0047】また、比較ノードをセレクタを用いて実現したので、トーナメント比較回路において1サイクルで勝者を決定することができる。

【図面の簡単な説明】

【図1】 本発明に係るマージソート処理装置の一実施の形態を示した構成図である。

【図2】 本実施の形態における比較ノードの内部構成

を示した図である。

【図3】 本実施の形態における比較ノードの動作を表す真理値表を示した図である。

【図4】 本実施の形態において比較されマージソートされるレコード構成の例を示した図である。

【図5】 本実施の形態における比較制御回路が保持するレジスタ群の構成を示した図である。

【図6】 本実施の形態における比較制御回路が保持するレジスタの第1の状態を示した図である。

【図7】 本実施の形態における比較制御回路が保持するレジスタの第2の状態を示した図である。

【図8】 本実施の形態における比較制御回路が保持するレジスタの第3の状態を示した図である。

【図9】 本実施の形態における比較制御回路が保持するレジスタの第4の状態を示した図である。

【図10】 パイプラインマージソータの構成図である。

【図11】 パイプラインマージソータの動作プロセスを示す説明図である。

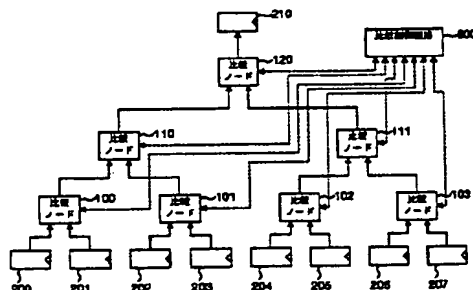
【図12】 従来例のトーナメント比較回路の構成図である。

【図13】 従来例の比較ノードの構成図である。

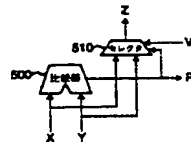
【符号の説明】

100～120 比較ノード、200～207 入力レジスタ、210 出力レジスタ、300 比較制御回路、500 比較器、510 セレクタ、600～607 マージメンバーレジスタ（処理対象ウェイ保持手段）、700～720 比較結果レジスタ（比較結果保持手段）、800～820 有効フラグレジスタ（有効フラグ情報保持手段）。

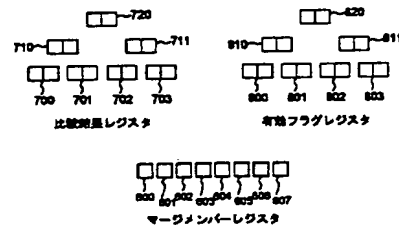
【図1】



【図2】

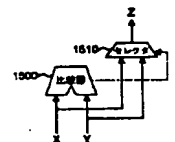
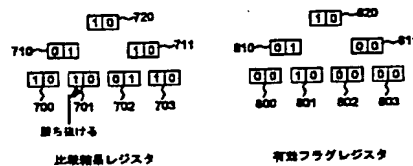


【図5】



【図6】

【図13】



【図3】

(a)

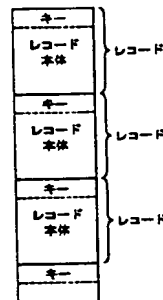
信号Rの生成条件	
比較器での比較結果	R (2ビットの2進数)
$X < Y$	10
$X > Y$	01
$X = Y$	00

(b)

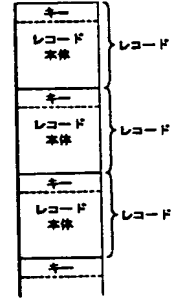
セレクタの選択条件		
V (2ビットの2進数)	R (2ビットの2進数)	Z出力
10	don't care	X
01	don't care	Y
11	10	X
	01	Y
	00	XあるいYある
00	don't care	XあるいYある

【図4】

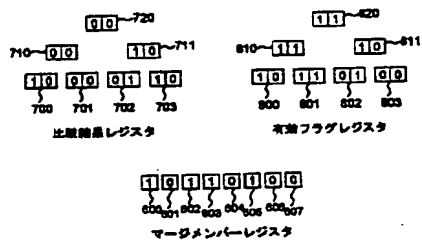
レコード例0



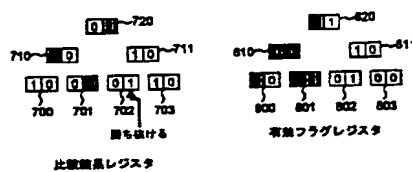
レコード例7



【図7】

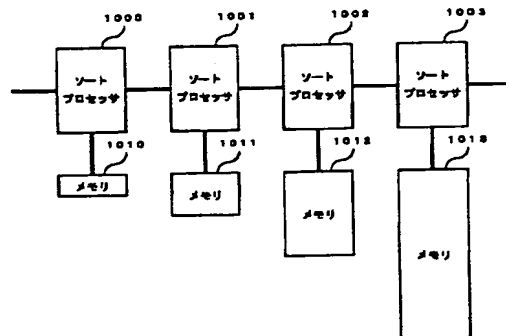
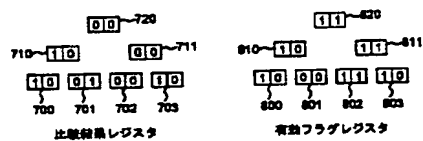


【図8】

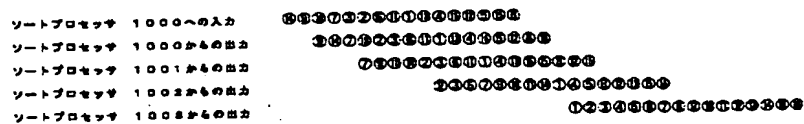


【図10】

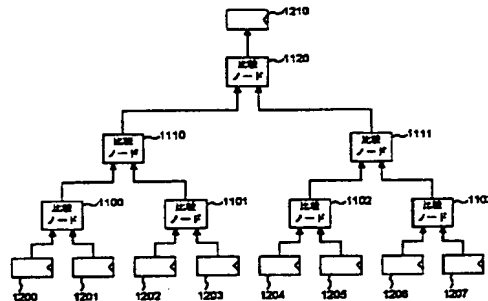
【図9】



【図11】



【図12】



## 【手続補正書】

【提出日】平成11年4月14日（1999. 4. 14）

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 所定の処理サイクル毎に複数の入力レジスタに逐次セットされる各データを比較することによって、1乃至複数のデータで構成されるレコードを昇順あるいは降順に並び替えるマージソート処理装置において、  
2つの入力データの比較処理を行った結果いずれか一方の入力データを出力するとともにその比較結果を出力する複数の比較ノードをトーナメントツリー状に接続することで前記各入力レジスタから始まるウェイを複数形成するトーナメント比較回路と、  
前記比較ノードが出力した比較結果に基づき前記各比較ノードに入力される各データの有効性を示す有効フラグ情報の設定内容を決定するとともにその決定した有効フラグ情報を対応する前記比較ノードへ供給する比較制御回路と、  
を有し、  
次の処理サイクルにおいて、前記各比較ノードに、前記比較制御回路から送られてくる有効フラグ情報が双方の入力データとも有効とされている場合には入力データの大小関係により決定した入力データを出力し、有効フラグ情報が一方の入力データのみ有効とされている場合には当該入力データを出力し、有効フラグ情報が双方の入力データとも無効とされている場合には入力データを出力しないように動作させ、  
前記比較制御回路は、データ比較処理において出力され

なかった入力データに対応した有効フラグ情報を無効にし、レコードの比較処理が終了した時点で前記各比較ノードの各入力データに対応した有効フラグ情報の内容を、当該比較ノードへの入力データを出力する下位に接続された比較ノードに対応した有効フラグ情報に有効が設定されていた場合に有効と設定することでレコードの比較処理の度に前記トーナメント比較回路を初期化することなくマージソート処理を実行することを特徴とするマージソート処理装置。

【請求項2】 前記比較ノードは、2つの入力データの大小関係を比較する比較器と、  
前記比較器による比較結果及び前記比較制御回路から送られてくる有効フラグ情報に基づきいずれか一方の入力データを出力するセレクトと、  
を有することを特徴とする請求項1記載のマージソート処理装置。

【請求項3】 前記比較制御回路は、前記各比較ノードから送られてくる比較結果を保持する比較結果保持手段を有し、  
前記各比較ノードから比較結果が送られてくる度にその比較結果を前記比較結果保持手段に保持し、前記トーナメント比較回路においてあるウェイが勝ち抜けた時にそのウェイの経路上に位置する前記比較ノードの前記比較結果保持手段に保持しておいた比較結果を初期化することを特徴とする請求項1記載のマージソート処理装置。

【請求項4】 前記比較制御回路は、前記トーナメント比較回路において最下位層に位置するもの以外の前記比較ノードの有効フラグ情報を保持する有効フラグ情報保持手段を有し、  
対応する前記比較ノードの下位に接続されている前記比較ノードに対応する前記有効フラグ情報保持手段のうち少なくとも一方がセットされている時に有効と、対応する前記比較ノードの他方の入力データが勝った時あるい

は対応する前記比較ノードの上位の前記比較ノードにおいて他方の入力データが勝った時に無効と、前記有効フラグ情報保持手段に設定することを特徴とする請求項1記載のマージソート処理装置。

【請求項5】 前記比較制御回路は、各ウェイに対応させた入力レジスタに設定されたデータが次のデータ比較処理において処理対象とするか否かを表す情報を保持する処理対象ウェイ保持手段を有し、直前のデータ比較処理において勝ち抜けたデータが通ったウェイあるいは経路上に位置する前記比較ノードのうちただ一つの前記比較ノードのみで負けたウェイに対応した入力レジスタに設定されたデータを次のデータ比較処理において有効と、経路上に位置する前記比較ノードにおいて負けが決定した時点で当該ウェイに対応した入力レジスタに設定されたデータを次のデータ比較処理において無効と、前記処理対象ウェイ保持手段に設定することを特徴とする請求項1記載のマージソート処理装置。

【請求項6】 前記比較制御回路は、  
前記各比較ノードから送られてくる比較結果を保持する比較結果保持手段と、  
前記トーナメント比較回路において最下位層に位置するもの以外の前記比較ノードの有効フラグ情報を保持する有効フラグ情報保持手段と、  
各ウェイに対応させた入力レジスタに設定されたデータが次のデータ比較処理において処理対象とするか否かを表す情報を保持する処理対象ウェイ保持手段と、  
を有し、  
前記各比較ノードから比較結果が送られてくる度にその比較結果を前記比較結果保持手段に保持し、前記トーナメント比較回路においてあるウェイが勝ち抜けた時にそのウェイの経路上に位置する前記比較ノードの前記比較結果保持手段に保持しておいた比較結果を初期化し、  
対応する前記比較ノードの下位に接続されている前記比較ノードに対応する前記有効フラグ情報保持手段のうち少なくとも一方がセットされている時に有効と、対応する前記比較ノードの他方の入力データが勝った時あるいは対応する前記比較ノードの上位の前記比較ノードにおいて他方の入力データが勝った時に無効と、前記有効フラグ情報保持手段に設定し、  
直前のデータ比較処理において勝ち抜けたデータが通ったウェイあるいは経路上に位置する前記比較ノードのうちただ一つの前記比較ノードのみで負けたウェイに対応した入力レジスタに設定されたデータを次のデータ比較処理において有効と、経路上に位置する前記比較ノードにおいて負けが決定した時点で当該ウェイに対応した入力レジスタに設定されたデータを次のデータ比較処理において無効と、前記処理対象ウェイ保持手段に設定することを特徴とする請求項1記載のマージソート処理装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】

【課題を解決するための手段】以上のような目的を達成するために、第1の発明に係るマージソート処理装置は、所定の処理サイクル毎に複数の入力レジスタに逐次セットされる各データを比較することによって、1乃至複数のデータで構成されるレコードを昇順あるいは降順に並び替えるマージソート処理装置において、2つの入力データの比較処理を行った結果いずれか一方の入力データを出力するとともにその比較結果を出力する複数の比較ノードをトーナメントツリー状に接続することで前記各入力レジスタから始まるウェイを複数形成するトーナメント比較回路と、前記比較ノードが出力した比較結果に基づき前記各比較ノードに入力される各データの有効性を示す有効フラグ情報の設定内容を決定するとともにその決定した有効フラグ情報を対応する前記比較ノードへ供給する比較制御回路とを有し、次の処理サイクルにおいて、前記各比較ノードに、前記比較制御回路から送られてくる有効フラグ情報が双方の入力データとも有効とされている場合には入力データの大小関係により決定した入力データを出力し、有効フラグ情報が一方の入力データのみ有効とされている場合には当該入力データを出力し、有効フラグ情報が双方の入力データとも無効とされている場合には入力データを出力しないように動作させ、前記比較制御回路は、データ比較処理において出力されなかった入力データに対応した有効フラグ情報を無効にし、レコードの比較処理が終了した時点で前記各比較ノードの各入力データに対応した有効フラグ情報の内容を、当該比較ノードへの入力データを出力する下位に接続された比較ノードに対応した有効フラグ情報に有効が設定されていた場合に有効と設定することでレコードの比較処理の度に前記トーナメント比較回路を初期化することなくマージソート処理を実行するものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】更に、第1の発明において、前記比較制御回路は、各ウェイに対応させた入力レジスタに設定されたデータが次のデータ比較処理において処理対象とするか否かを表す情報を保持する処理対象ウェイ保持手段を有し、直前のデータ比較処理において勝ち抜けたデータが通ったウェイあるいは経路上に位置する前記比較ノードのうちただ一つの前記比較ノードのみで負けたウェイ

に対応した入力レジスタに設定されたデータを次のデータ比較処理において有効と、経路上に位置する前記比較ノードにおいて負けが決定した時点で当該ウェイに対応した入力レジスタに設定されたデータを次のデータ比較処理において無効と、前記処理対象ウェイ保持手段に設定するものである。更に、第1の発明において、前記比較制御回路は、前記各比較ノードから送られてくる比較結果を保持する比較結果保持手段と、前記トーナメント比較回路において最下位層に位置するもの以外の前記比較ノードの有効フラグ情報を保持する有効フラグ情報保持手段と、各ウェイに対応させた入力レジスタに設定されたデータが次のデータ比較処理において処理対象とするか否かを表す情報を保持する処理対象ウェイ保持手段とを有し、前記各比較ノードから比較結果が送られてくる度にその比較結果を前記比較結果保持手段に保持し、前記トーナメント比較回路においてあるウェイが勝ち抜けた時にそのウェイの経路上に位置する前記比較ノード

の前記比較結果保持手段に保持しておいた比較結果を初期化し、対応する前記比較ノードの下位に接続されている前記比較ノードに対応する前記有効フラグ情報保持手段のうち少なくとも一方がセットされている時に有効と、対応する前記比較ノードの他方の入力データが勝った時あるいは対応する前記比較ノードの上位の前記比較ノードにおいて他方の入力データが勝った時に無効と、前記有効フラグ情報保持手段に設定し、直前のデータ比較処理において勝ち抜けたデータが通ったウェイあるいは経路上に位置する前記比較ノードのうちただ一つの前記比較ノードのみで負けたウェイに対応した入力レジスタに設定されたデータを次のデータ比較処理において有効と、経路上に位置する前記比較ノードにおいて負けが決定した時点で当該ウェイに対応した入力レジスタに設定されたデータを次のデータ比較処理において無効と、前記処理対象ウェイ保持手段に設定するものである。